

Integrated circuit computing device comprising a dynamically configurable gate array having a microprocessor and reconfigurable instruction execution means and method therefor

Patent number: JP7503804T

Publication date: 1995-04-20

Inventor:

Applicant:

Classification:

- international: G06F9/30; G06F7/00; G06F9/30; G06F15/78

- european: G06F9/318; G06F15/78R; G06F15/80A1

Application number: JP19930514395T 19931209

Priority number(s): WO1993US11964 19931209; US19920989236 19921211

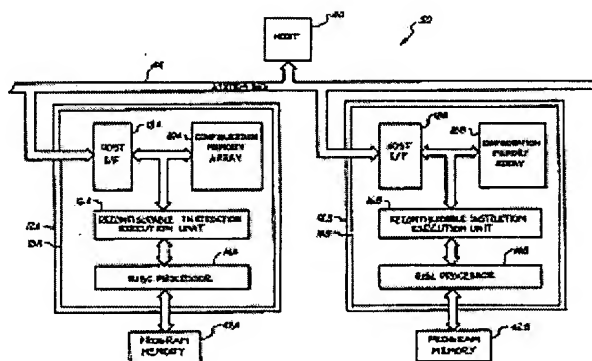
Also published as:

WO9414123 (A1)
EP0626084 (A1)
US5361373 (A1)
EP0626084 (A4)

Abstract not available for JP7503804T

Abstract of corresponding document: **US5361373**

An integrated circuit computing device is comprised of a dynamically configurable Field Programmable Gate Array (FPGA). This gate array is configured to implement a RISC processor and a Reconfigurable Instruction Execution Unit. Since the FPGA can be dynamically reconfigured, the Reconfigurable Instruction Execution Unit can be dynamically changed to implement complex operations in hardware rather than in time-consuming software routines. This feature allows the computing device to operate at speeds that are orders of magnitude greater than traditional RISC or CISC counterparts. In addition, the programmability of the computing device makes it very flexible and hence, ideally suited to handle a large number of very complex and different applications.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平7-503804

第6部門第3区分

(43) 公表日 平成7年(1995)4月20日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I
G 0 6 F 9/30 7/00 9/30 15/78	3 6 0 3 1 0 E 5 1 0 G	9189-5B 9189-5B 9289-5L 9188-5B	
			G 0 6 F 7/00 S
			審査請求 未請求 予備審査請求 未請求(全 10 頁)

(21) 出願番号 特願平6-514395
 (86) (22) 出願日 平成5年(1993)12月9日
 (85) 翻訳文提出日 平成6年(1994)8月8日
 (86) 国際出願番号 PCT/US93/11964
 (87) 国際公開番号 WO94/14912
 (87) 国際公開日 平成6年(1994)6月23日
 (31) 優先権主張番号 989, 236
 (32) 優先日 1992年12月11日
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M C, NL, PT, SE), JP

(71) 出願人 ナショナル テクノロジー、インコーポレイテッド
 アメリカ合衆国、ユタ州 84070、サンディ、サウス 9500 ウェスト 500、スイート 104
 (72) 発明者 ギルソン・ケント エル
 アメリカ合衆国、ユタ州 84115、ソールトレークシティ、ノースメインストリート 255、アパートメント 210
 (74) 代理人 弁理士 鶴沼 辰之 (外3名)

(54) 【発明の名称】 マイクロプロセッサと再構成可能命令実行手段とを備えた動的構成可能ゲートアレイで構成される集積回路演算装置およびその方法

(57) 【要約】

集積回路演算装置(10)は動的構成可能フィールドプログラマブルゲートアレイ(FPGA)(12)で構成される。ゲートアレイ(12)はRISCプロセッサ(14)と再構成可能命令実行部(16)とを実現するように構成される。FPGA(12)を動的に再構成することが可能なので、時間のかかるソフトウェアーチンによらずとも、再構成可能命令実行部(16)を動的に変化させることで複雑な処理をハードウェアで実現することができる。このため、演算装置(10)は、従来のRISCやCISCのものより高速に作動できる。更に、演算装置(10)はそのプログラムを可能とする性質により非常に柔軟であるので、多数の非常に複雑で異なる用途に理想的に適合する。

